

LES BUS DE TEST ET DE MAINTENANCE AU STANDARD IEEE 1149

Mr Guy OUILLADE – guy.ouillade@aster-ingenierie.com

ASTER Ingénierie – www.aster-ingenierie.com
55 Bis Rue de Rennes – 35510 Cesson-Sévigné - France

Il est encore possible de concevoir des systèmes, des cartes et des composants sans testabilité et sans maintenabilité, mais pour combien de temps encore et à quel prix. Le marché des produits demande une réduction des marges, des délais, des prix de revient alors que l'utilisateur réclame une meilleure qualité et disponibilité, une interchangeabilité garantie. Ces nouvelles contraintes ne permettent plus de concevoir sans une méthodologie basée sur des standards.

AVANCEES TECHNOLOGIQUES

L'incroyable progression des technologies dans le domaine de l'électronique à provoqué une véritable prise de conscience des problèmes de test auprès des responsables de la fabrication puis des chefs de projets. Que ce soit au niveau des composants, des cartes, des équipements, des systèmes, partout la technologie fait changer les habitudes. Les projets à l'horizon de l'an 2000 prévoient des composants de plus de 5 millions de portes avec plus de 2000 bornes et des fréquences de fonctionnement de 250 MHz sur les Entrées/Sorties (Source programmes SIA).

Ces évolutions technologiques ont déjà des répercussions sur les méthodes traditionnelles. La réduction des accès physiques limite l'utilisation des sondes pour analyseurs logiques, les émulateurs, les planches à clous pour le test ICT, les testeurs à sondes mobiles. De même l'augmentation des performances ne permet plus de disposer de testeurs ayant des canaux en nombre suffisant avec des performances à la mesure de l'élément à tester. Il est également compliqué d'entourer les systèmes à vérifier d'instrumentation de plus en plus sophistiquée nécessitant des hyper spécialistes pour localiser les défauts simplement détectables par

l'amélioration de la testabilité. L'amélioration de la qualité des éléments fabriqués passe de nos jours par une bonne qualification des produits et par un renforcement de la surveillance des procédés d'assemblage : contrôles vision, rayon X, sondes capacitatives, inductives et les techniques Boundary Scan.

Au delà des problèmes d'assemblage rencontrés par les ingénieurs de fabrication, le concepteur a lui aussi ses propres besoins pour assurer la mise au point, la qualification et le test des prototypes. Il doit concevoir aussi des systèmes hautement disponibles intégrant des moyens de surveillance pendant la phase opérationnelle. Les ingénieurs de maintenance demandent eux aussi des ressources pour assurer une maintenance et une réparation sur site plus efficaces.

La réponse aux préoccupations précédentes ne peut s'envisager sans une approche globale, structurée qui va permettre de prendre en compte les fonctions de test et de maintenance pendant la conception. Les standards IEEE 1149 sont là pour permettre à tous les éléments hétérogènes d'un système de se comprendre, de dialoguer avec des systèmes externes, d'utiliser des outils de test et maintenance communs sans avoir à construire chaque fois ses propre fonctionnalités.

	1992	1995	1998	2001	2004	2007
Largeur des traits (µm)	0.5	0.35	0.25	0.18	0.12	0.1
Nb. de portes/puce	300k	800k	2M	5M	10M	20M
Nb. de défauts/cm ²	0,1	0,05	0,03	0,01	0,004	0,002
Nb. de bornes	500	750	1500	2000	3500	5000
Fréquence interne (MHz)	120	200	350	500	700	1000
Fréquence E/S (MHz)	60	100	175	250	350	500

Fig. 1 : Programme technologique 1992-2007 du SIA

HISTORIQUE DES STANDARDS

L'approche structurée des tests et de la maintenabilité n'est pas nouvelle, elle remonte au début des années 1970. A cette époque IBM, CII, NEC, BULL, ... ont commencé à utiliser les techniques SCAN pour résoudre les problèmes de mise au point, de surveillance et de maintenance de leurs processeurs propriétaires. A travers ces applications et ces recherches des outils "maisons" ont été développés pour concevoir les premiers ASIC. C'est à cette époque que les fondements des techniques SCAN ont été jetés en particulier dans le domaine du test avec l'apparition d'ATPG (Automatic Test Pattern Generator) de notion de Processeur de Maintenance et de systèmes de tests et diagnostics Boundary Scan. Mises en sommeil jusqu'en 1990 par l'absence de standard, elles redeviennent d'un intérêt évident depuis leur normalisation. Aujourd'hui 80% des conceptions en Allemagne et USA intègrent ces fonctionnalités.

Dès 1985, sous l'impulsion de J. Turino, C. Mauder, B. Bennets, soutenus par le groupement d'industriels JTAG (Joint Test Action Group) et par le comité Européen "Esprit", les bases d'un bus de Test ont été jetées. C'est en 1988, au sein du groupe IEEE 1149 que la première tentative de rédaction d'un standard pour le test d'assemblage des circuits électroniques a été faite. Plusieurs groupes de travail visant à traiter des domaines différents du test et de la maintenance ont été constitués :

- IEEE 1149.1 → Boundary Scan : Bus dédié au test d'assemblage des composants numériques sur les cartes.
- IEEE 1149.2 → Internal And Boundary Scan : Extension proposée pour harmoniser les différentes techniques de test interne des composants.
- IEEE 1149.3 → Real Time Subset Protocol : Protocole de test permettant d'utiliser conjointement des vecteurs de tests parallèles et série.
- IEEE 1149.4 → Mixed Signal Test Bus : Bus dédié au test d'assemblage de composants mixtes (numériques et analogiques).

- IEEE 1149.5 → Module Test and Maintenance (MTM) Bus Protocol : Bus dédié au test et à la maintenance des systèmes.

Les différents groupes de travail, à l'exception du groupe IEEE 1149.3, continuent de fonctionner. Le standard IEEE 1149.1 a été le premier à avoir été adopté en février 1990. Plus récemment début 1996, le standard IEEE 1149.5 a été adopté, quant au standard IEEE 1149.4, il est sur le point d'être voté.

LE STANDARD IEEE 1149.1

Le Standard IEEE 1149.1 spécifie une technique et le protocole d'un bus de testabilité visant à résoudre les problèmes du test d'assemblage des composants sur les cartes. Confirmer la fonction des composants et vérifier leurs interconnexions sont les principaux objectifs du standard.

Principe :

Cette technique permet de constituer un registre à décalage (Boundary Register) parcourant toutes les cellules situées dans les buffers I/O des composants répondant au standard 1149.1. Par ce moyen le test des interconnexions (Externe), le test des composants (Interne) peut être réalisé sans difficulté.

Le protocole du standard IEEE 1149.1 est géré par une machine de 16 états qui est implantée dans chacun des composants (TAP : Test Access Port). Les états du TAP contrôleur permettent de charger des instructions de configuration du composant pour le test et de décaler des données de test dans le registre de la périphérie du composant (Boundary Register).

Pour assurer le fonctionnement de ce protocole, 4 signaux sont obligatoires. TDI (Test Data Input) véhicule les informations à charger dans le composant de façon série. Ces informations sont des instructions ou des données de test. TDO (Test Data Output) véhicule les informations lues dans le composant de façon série. La liaison TDO vers TDI des composants permet de constituer la

chaîne IEEE1149.1 de la carte. TCK (Test Clock) est le signal d'horloge du bus IEEE 1149.1, il est commun à tous les composants JTAG d'une chaîne. Cette horloge est dédiée au test uniquement. TMS (Test Mode Select) est le signal qui fait évoluer la machine d'état (TAP). Il synchronise les opérations dans chaque composant du bus IEEE1149.1. Un cinquième signal optionnel TRST* permet d'effectuer un Reset asynchrone du protocole IEEE1149.1.

Pour permettre l'utilisation d'outils communs de développement et de test, trois instructions sont obligatoires. L'instruction "EXTEST" positionne le composant dans un mode de test permettant ainsi d'effectuer le test des interconnexions. Cette instruction lit les états des bornes d'Entrée du composant et positionne des états sur les bornes de Sortie du composant. L'instruction "SAMPLE/PRELOAD" permet de charger le Boundary Register pendant le fonctionnement normal du composant avec des états logiques qui éviteront d'avoir des conflits avec les signaux de la carte. La troisième instruction obligatoire est "BYPASS", elle permet de court-circuiter un composant de la chaîne de façon à réduire le nombre de décalages.

Applications :

Progressivement le champ d'application du standard s'est élargi. Dès le début l'intérêt s'est porté sur le test ICT, puisque cette technique évite d'écrire des modèles de test complexes pour des composants ou des ASIC dont la logique interne n'est pas toujours connue des ingénieurs de test. Puis le manque d'accessibilité physique a montré l'intérêt de cette technique pour le test des interconnexions, mais aussi pour vérifier l'assemblage de zones régulières tels que les RAM et les Clusters (logique non JTAG).

Actuellement tous les aspects touchant au codage sur carte sont examinés. Il s'agit de la programmation des PROM Flash et des EPLD. Les fonctions d'émulation des microprocesseurs complètent le champ des applications supportées par le standard IEEE 1149.1 et permettent, à partir d'un seul outil d'avoir une solution globale de test et de mise au point.

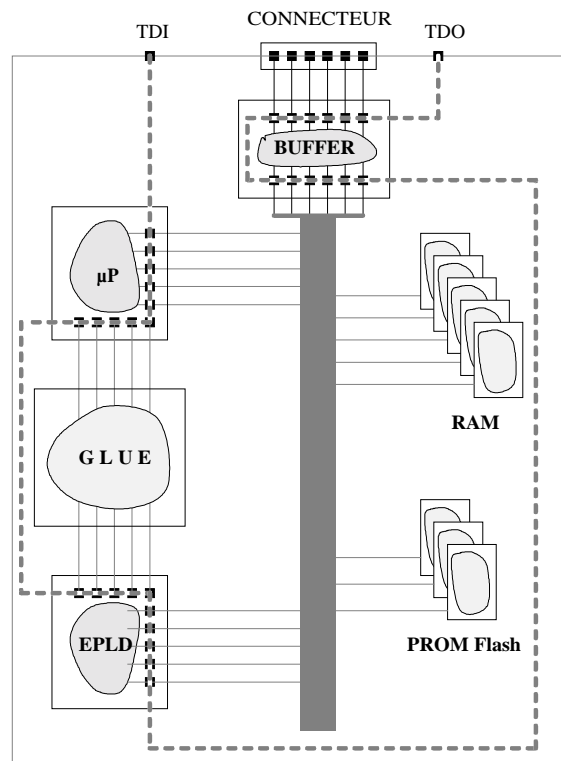


Fig. 2 : Application du standard IEEE 1149.1 pour vérifier l'assemblage

LE STANDARD IEEE 1149.2

L'objectif du groupe IEEE 1149.2 est de proposer une extension du bus IEEE 1149.1 décrit précédemment pour qu'il puisse prendre en compte aussi bien le test de la logique interne des composants que le Boundary Scan. Les développements antérieurs à 1990 utilisaient déjà des méthodes similaires, mais chaque bureau d'étude avait sa façon de faire. Ce standard vise donc à définir un protocole qui, vu de l'extérieur du composant, soit commun à toutes ces techniques.

Principe :

Le composant au standard 1149.2 peut posséder un Boundary Register indépendant ou partagé avec les registres internes. Les registres internes sont du type Full Scan. Le TAP contrôleur identique au 1149.1 demeure pour gérer le protocole de décalage. Deux signaux de sélection du mode de test (STM) au minimum permettent

d'exécuter de façon instantanée des fonctions complémentaires. Par exemple, écrire dans les registres internes, demande l'envoi d'une horloge fonctionnelle. En mode test et en utilisant les signaux STM, cette écriture est possible.

Applications :

Les techniques appelées Full Scan, Partial Scan permettent de transformer les bascules fonctionnelles de façon à ce qu'elles aient deux modes de fonctionnement : Normal et Test. Pour ce travail, les outils sont étroitement dépendants des bibliothèques d'ASIC et les cellules qu'ils utilisent sont optimisées pour ne pas pénaliser les performances, ni occuper trop de surface sur le silicium. Le grand avantage des techniques SCAN est de transformer une logique fonctionnelle séquentielle en une logique combinatoire pendant le mode Test, et permettre ainsi d'utiliser efficacement les ATPG et les simulateurs de fautes (Voir figure 3). Cet artifice réduit aussi le volume des vecteurs de tests et les rend totalement indépendants. Il est un moyen efficace pour positionner des états sur les buffers d'Entrée/Sortie ou sur les bascules internes pour réaliser les tests paramétriques et du type Iddq. Ce standard vise donc le test des composants depuis le test sous pointe, le test en boîtier, le test sur carte et en système pendant l'initialisation de celui-ci ou pour sa maintenance.

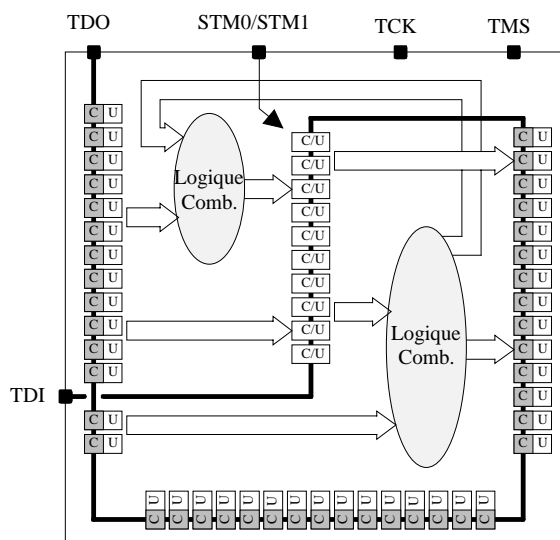


Fig. 3 : Le standard IEEE 1149.2 : transformation de la logique

LE STANDARD IEEE 1149.4

L'intérêt grandissant du traitement numérique à l'intérieur d'applications traditionnellement analogiques commence à se manifester. De nombreux composants possèdent des fonctions de traitement numérique (DSP, mémoire, DMA...) associées à des traitements analogiques (convertisseurs et filtres...). C'est en particulier le cas dans le domaine des télécommunications (GSM), de la vidéo et de l'automobile.

Pour traiter les problèmes de test soulevés par les composants dit "Mixtes", le protocole IEEE 1149.1 a été étendu pour prendre en compte le test des signaux analogiques. Il propose une approche commune pour le test des interconnexions des signaux analogiques et numériques.

Principe :

Toute mesure analogique suppose la présence d'un Bus de test analogique composé de deux signaux AT1 et AT2. Ce bus analogique distribué à travers la carte permet d'envoyer des stimuli à partir d'un générateur et de mesurer des réponses analogiques sur un instrument de mesure.

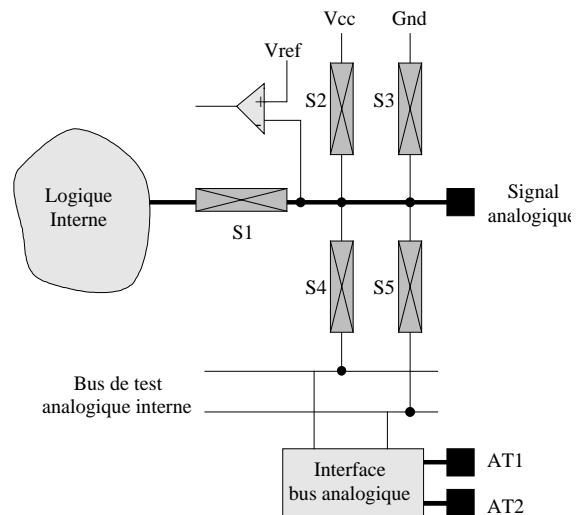


Fig. 4 : Buffer analogique (ABC)

La connexion au bus ATx s'effectue par des switchs implantés dans chacun des buffers analogiques (ABC). Ces switchs, au nombre de 5, sont positionnés par des buffers du registre Boundary Register déjà décrits dans le standard IEEE 1149.1. Le switch (S1) isole la logique interne du signal analogique. Les switchs (S4) et (S5) connectent le signal analogique avec AT1 ou AT2. Lorsque l'on effectue des mesures analogiques, des points de garde sont nécessaires, pour cela le switch (S2) permet de connecter le signal au VCC alors que le switch (S3) le connecte à la Masse.

Applications :

Les principaux demandeurs de ce standard sont les télécommunications et l'automobile. Le standard IEEE 1149.4 permet tout d'abord de vérifier le bon assemblage des composants mixtes (numérique et analogique), mais sa définition lui permet aussi de mesurer les impédances des composants passifs situés sur la carte. Il est aussi un moyen de véhiculer des signaux analogiques nécessaires au test de la logique mixte interne au composant (ADC, DAC, filtres...).

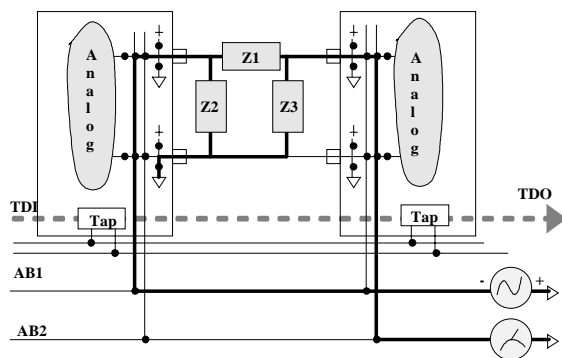


Fig 5 : Le standard IEEE 1149.4
Mesure d'impédance

LE STANDARD 1149.5 :

Le standard IEEE 1149.5 appelé aussi MTM (Maintenance Test Module) a été développé au cours de ces dix dernières années pour

répondre au besoin du test et de la maintenabilité des systèmes et des équipements.

Principe :

Le système de test et de maintenance fonctionne par échange de commandes entre un module maître et des modules esclaves qui exécutent les instructions demandées.

Ces commandes véhiculent des instructions et des données. La communication s'établit de façon indépendante entre les différents modules. Une ressource demandée par une commande peut, elle-même, faire appel à une sous-ressource. Cette organisation hiérarchique répond aux problèmes de découpage des systèmes. C'est le cas par exemple d'appel à une ressource de test Boundary Scan au format IEEE 1149.1 ou tout autre bus.

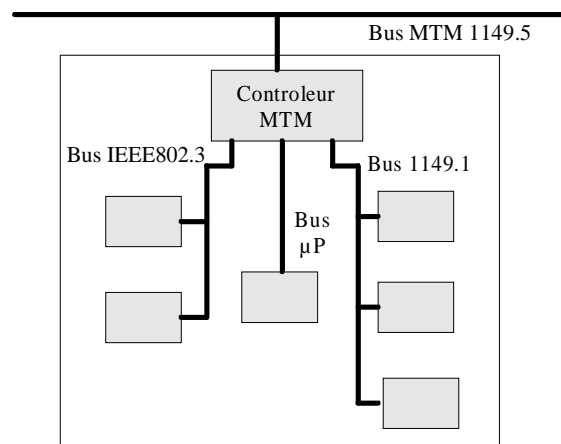


Fig. 5 : Les ports accessibles par le bus MTM

Applications :

Les initiateurs de ce standard venaient du programme VHSIC et de l'industrie de l'avionique en Angleterre et aux Etats-Unis. La plus importante application commerciale à grande échelle concerne le Boeing 777. Le groupe de travail IEEE 1149.5 s'est rendu compte que ces travaux avaient un intérêt pour l'industrie électronique dépassant largement le secteur de l'avionique.

Ainsi le domaine de l'informatique et celui des télécommunications manifestent un intérêt pour ce bus. Plutôt que de construire pour chaque projet nouveau son propre "processeur de maintenance" qui est le plus souvent étroitement lié à l'équipement, aux bus fonctionnels, aux processeurs et aux lignes utilisées, le standard IEEE 1149.5 propose des moyens matériels et logiciels communs. Ainsi les tests embarqués, les opérations de maintenance sur site ou hors site peuvent être réalisés à partir de produits standards disponibles sur le marché.

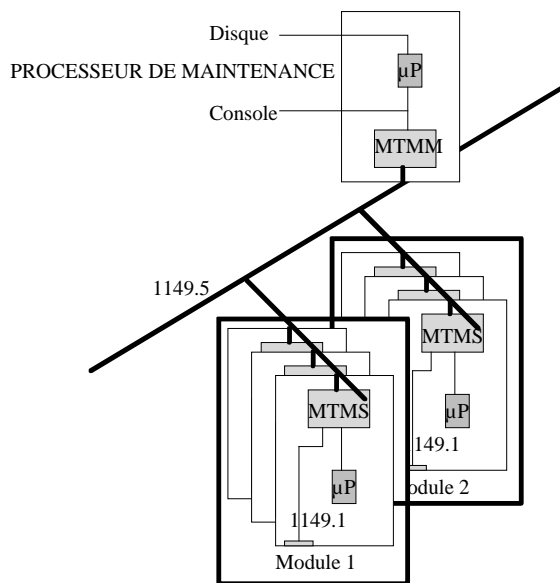


Fig. 7 : Le standard IEEE 1149.5
Notion de processeur de maintenance

CONCLUSIONS :

Le coût des tests et de la maintenance des systèmes électroniques représentent 30% à 50% du prix de revient d'un produit. Les deux méthodes pour réduire ces coûts consistent à agir sur la non qualité en maîtrisant mieux les procédés de fabrication, et en utilisant des moyens de vérifier la conformité des produits adaptés aux besoins. Il ne vient plus à l'esprit de concevoir des systèmes n'utilisant pas de standards pour échanger les informations fonctionnelles (lignes de communication, bus fonctionnels parallèles). Chaque concepteur en mesure l'intérêt. Pourquoi n'en serait-il pas de même pour les tests et la maintenance ? Les standards IEEE 1149 sont là pour nous permettre de bénéficier de composants, de méthodes et d'outils adaptés aux besoins modernes et à un moindre coût. Nous pouvons trouver un intérêt à refaire en permanence, mais en mesure-t-on toujours les conséquences réelles ? ■